

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年10月18日

出 願 番 号
Application Number:

平成11年特許願第295158号

出 願 人
Applicant(s):

松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月29日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3079453

【書類名】 特許願

【整理番号】 2037810081

【提出日】 平成11年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/088

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 松村 俊浩

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 大田 宗二郎

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100081813

 【弁理士】

 【氏名又は名称】 早瀬 憲一

 【電話番号】 06(6380)5822

【手数料の表示】

 【予納台帳番号】 013527

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック生成装置、及びクロック生成方法

【特許請求の範囲】

【請求項 1】 入力したアナログ信号をデジタル信号に変換する A/D 変換手段と、

上記デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算手段と、

上記デジタル信号が上記閾値よりも大きい小さいかを比較し、二値化信号を出力する二値化手段と、

上記同期化クロックで上記二値化信号をラッチするラッチ手段とを備えた、ことを特徴とするクロック生成装置。

【請求項 2】 請求項 1 に記載のクロック生成装置において、上記演算手段は、

所定の期間内における上記デジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を上記閾値として出力する閾値検出手段と、

上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出手段と、

上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出手段と、

隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、

上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力手段とを備えたものである、

ことを特徴とするクロック生成装置。

【請求項 3】 請求項 1 に記載のクロック生成装置において、上記演算手段は、

所定の期間内における上記デジタル信号の積分値を検出し、該積分値の平均値を上記閾値として出力する閾値検出手段と、

上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上

記デジタル信号を用いて検出する立ち上がり時刻検出手段と、

上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出手段と、

隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、

上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力手段とを備えたものである、

ことを特徴とするクロック生成装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載のクロック生成装置において、

隣接する上記デジタル信号を補間するオーバーサンプリングデジタルフィルタを備えた、

ことを特徴とするクロック生成装置。

【請求項 5】 入力したアナログ信号をデジタル信号に変換する A/D 変換ステップと、

上記デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算ステップと、

上記デジタル信号が上記閾値よりも大きい小さいかを比較し、二値化信号を出力する二値化ステップと、

上記同期化クロックで上記二値化信号をラッチするラッチステップとを備えた

ことを特徴とするクロック生成方法。

【請求項 6】 請求項 5 に記載のクロック生成方法において、

上記演算ステップは、

所定の期間内における上記デジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を上記閾値として出力する閾値検出ステップと、

上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出ステップと、

上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上

記デジタル信号を用いて検出する立ち下がり時刻検出ステップと、

隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、

上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力ステップとを備えたものである、

ことを特徴とするクロック生成方法。

【請求項 7】 請求項 5 に記載のクロック生成方法において、

上記演算ステップは、

所定の期間内における上記デジタル信号の積分値を検出し、該積分値の平均値を上記閾値として出力する閾値検出ステップと、

上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出ステップと、

上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出ステップと、

隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、

上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力ステップとを備えたものである、

ことを特徴とするクロック生成方法。

【請求項 8】 請求項 5 ないし 7 のいずれかに記載のクロック生成方法において、

隣接する上記デジタル信号を補間するオーバーサンプリングステップを備えた

ことを特徴とするクロック生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック生成装置、及びクロック生成方法に関し、特に入力されるアナログ信号に対する同期化クロックを生成するものに関する。

【0002】

【従来の技術】

図13は、従来のクロック生成装置のブロック図である。

図に示すように、従来のクロック生成装置1300は、アナログ入力端子1301、閾値入力端子1302、同期化信号出力端子1303、同期化クロック出力端子1304、比較回路1305、クロック供給回路1306、カウンタ回路1307、デコーダ回路1308、エッジ検出回路1309、及びD型フリップフロップ1310から構成される。

【0003】

比較回路1305は、アナログ信号S1301のレベルが閾値S1302より大きい小さいかを比較して、その比較結果を出力する回路であり、クロック供給回路1306の発振回路から供給されるクロックを基準クロックとして動作する。

【0004】

クロック供給回路1306は、クリスタルを用いた水晶発振回路等であり、そのクロック周波数は、入力されるアナログ信号S1301の入力レートに対して整数倍の周波数である。

【0005】

カウンタ回路1307は、クロック供給回路1306からのクロック信号S1306を基準クロックとして動作し、そのカウント値はデコーダ回路1308に供給される。このカウンタ回路1307は、エッジ検出回路1309からの出力と、デコーダ回路1308からの出力とをクリア信号として動作する。

【0006】

以下に、動作について説明する。

まず、アナログ信号S1301、及び閾値S1302が、それぞれアナログ入力端子1301、及び閾値入力端子1302を介し、比較回路1305に入力される。

比較回路 1305 では、アナログ信号 S1301 のレベルが閾値 S1302 より大きいか小さいかを比較して、その比較結果を出力する。

比較回路 1305 から出力される 2 値化された比較信号 S1305 は、エッジ検出回路 1309 に入力され、ここで比較信号 S1305 のエッジが検出される。このエッジが検出された信号は、カウンタ回路 1307 に供給され、カウンタをクリアする。

この一連のエッジ検出、及びカウンタクリアの動作により、カウンタ回路 1307 のカウント値と、比較信号 S1305 のエッジ、すなわち位相とが一致する。

【0007】

カウンタのカウント値は通常、複数のビットから構成されているので、デコーダ回路 1308 は、サンプルクロック信号 S1304 を供給クロックとして、適切な位相でアナログ入力信号 S1301 をとり込めるようにデコードを行なう。

そして、D 型フリップフロップ 1310 は、比較信号 S1305 をラッチする。

デコーダ回路 1308 が出力する、カウンタのクリア信号 S1308 は、カウンタ 1307 の分周比を決定する。

【0008】

【発明が解決しようとする課題】

しかし、上述のように、従来のクロック生成装置は、クロック供給回路のクロック周波数が入力されるアナログ信号のレートの整数倍でなければ、アナログ信号がクロック供給回路のクロックの周期に比べて長い期間、同じ状態を保持した場合（例えばハイレベルが続くような場合）等に、位相誤差が許容範囲を超えてしまい、誤ってアナログ信号を認識してしまうことがあるという問題があった。また、アナログ信号のレートが複数の種類を持つ場合には、そのそれぞれに対応する複数種類の発振回路が必要になるという問題があった。

【0009】

また、従来のクロック生成装置を半導体集積回路で実現した場合には、その特性を向上させるためにクロック供給回路のクロック周波数を高くすると、半導体

集積回路から不要輻射が発生するという問題や、消費電力が増大するという問題があった。

【 0 0 1 0 】

本発明は、上記のような問題を解決するためになされたもので、入力されるアナログ信号に基づいて、同期化クロックを生成するクロック生成装置、及びクロック生成方法を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の請求項 1 に係るクロック生成装置は、入力したアナログ信号をデジタル信号に変換する A/D 変換手段と、上記デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算手段と、上記デジタル信号が上記閾値よりも大きいか小さいかを比較し、二値化信号を出力する二値化手段と、上記同期化クロックで上記二値化信号をラッチするラッチ手段とを備えたものである。

【 0 0 1 2 】

本発明の請求項 2 に係るクロック生成装置は、請求項 1 に記載のクロック生成装置において、上記演算手段が、所定の期間内における上記デジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を上記閾値として出力する閾値検出手段と、上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出手段と、上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出手段と、隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力手段とを備えたものである。

【 0 0 1 3 】

本発明の請求項 3 に係るクロック生成装置は、請求項 1 に記載のクロック生成装置において、上記演算手段が、所定の期間内における上記デジタル信号の積分値を検出し、該積分値の平均値を上記閾値として出力する閾値検出手段と、上記

アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出手段と、上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出手段と、隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力手段とを備えたものとしたものである。

【0014】

本発明の請求項4に係るクロック生成装置は、請求項1ないし3のいずれかに記載のクロック生成装置において、隣接する上記デジタル信号を補間するオーバーサンプリングデジタルフィルタを備えたものである。

【0015】

本発明の請求項5に係るクロック生成方法は、入力したアナログ信号をデジタル信号に変換するA/D変換ステップと、上記デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算ステップと、上記デジタル信号が上記閾値よりも大きい小さいかを比較し、二値化信号を出力する二値化ステップと、上記同期化クロックで上記二値化信号をラッチするラッチステップとを備えたものである。

【0016】

本発明の請求項6に係るクロック生成方法は、請求項5に記載のクロック生成方法において、上記演算ステップが、所定の期間内における上記デジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を上記閾値として出力する閾値検出ステップと、上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出ステップと、上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出ステップと、隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力

ステップとを備えたものとしたものである。

【 0 0 1 7 】

本発明の請求項 7 に係るクロック生成方法は、請求項 5 に記載のクロック生成方法において、上記演算ステップが、所定の期間内における上記デジタル信号の積分値を検出し、該積分値の平均値を上記閾値として出力する閾値検出ステップと、上記アナログ信号が上記閾値よりも高くなる時刻である立ち上がり時刻を、上記デジタル信号を用いて検出する立ち上がり時刻検出ステップと、上記アナログ信号が上記閾値よりも低くなる時刻である立ち下がり時刻を、上記デジタル信号を用いて検出する立ち下がり時刻検出ステップと、隣接する上記立ち上がり時刻と上記立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、上記入力レートに基づいて、上記同期化クロックを出力する同期化クロック出力ステップとを備えたものとしたである。

【 0 0 1 8 】

本発明の請求項 8 に係るクロック生成方法は、請求項 5 ないし 7 のいずれかに記載のクロック生成方法において、隣接する上記デジタル信号を補間するオーバーサンプリングステップを備えたものである。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

(実施の形態 1)

図 1 は、本発明の実施の形態 1 によるクロック生成装置のブロック図である。

本実施の形態 1 によるクロック生成装置 1 0 0 は、アナログ信号入力端子 1 0 1、クロック信号入力端子 1 0 2、同期化信号出力端子 1 0 3、同期化クロック出力端子 1 0 4、A/D コンバータ 1 0 5、演算回路 1 0 6、比較回路 1 0 7、及びラッチ回路 1 0 8 から構成され、帰線期間に V B I データが重畳されているアナログ信号 S 1 0 1 と、クロック信号 S 1 0 2 とを入力し、同期化信号 S 1 0 3 と、同期化クロック S 1 0 4 とを出力するものである。

【 0 0 2 0 】

A/Dコンバータ105は、アナログ信号S101をクロック信号S102のタイミングにしたがってサンプリングすることにより、デジタルの離散値であるデジタル信号S109を出力するものである。

演算回路106は、デジタル信号S109とクロック信号S102とを入力して、デジタル信号S109を二値化するための基準値である閾値S106aと、二値化信号S110をラッチするための同期化クロックS106bとを出力するものであり、その詳細については後述する。

【0021】

比較回路107は、デジタル変換信号S109と閾値S106aとを入力し、クロック信号S102に同期して動作し、閾値S106aを基準としてデジタル信号S109に対して大小比較を行ない、たとえば閾値S106aの値よりもデジタル信号S109の方が大きければ“1”を、逆に小さければ“0”を二値化信号S110として出力するものである。

ラッチ回路108は、比較回路107の出力である二値化信号S110をD入力とし、同期化クロックS106bをクロック入力として、同期化信号S103を出力するものである。

【0022】

図2は、本発明の実施の形態1によるクロック生成装置の演算回路のブロック図である。

本実施の形態1による演算回路106は、閾値S106aを検出する閾値検出ブロック200、アナログ信号S101が閾値S106aよりも高くなる時刻である立ち上がり時刻を検出する立ち上がり検出ブロック201、アナログ信号S101が閾値S106aよりも低くなる時刻である立ち下がり時刻を検出する立ち下がり検出ブロック202、立ち上がり時刻と立ち下がり時刻とを用いてデジタル信号S109のレートを検出する入力レート検出ブロック203、及び同期化クロックS106bを出力する同期化クロック出力ブロック204から構成される。

【0023】

以下に、クロック生成装置の動作について説明する。

アナログ信号 S101 は、アナログ信号入力端子 101 を介して、A/D コンバータ 105 に入力され、また、クロック信号 S102 は、クロック信号入力端子 102 を介して、A/D コンバータ 105、演算回路 106、及び比較回路 107 に入力される。

【0024】

A/D コンバータ 105 は、アナログ信号 S101 をクロック信号 S102 のタイミングにしたがってサンプリングすることにより、デジタルの離散値であるデジタル信号 S109 を、演算回路 106、及び比較回路 107 に出力する。

【0025】

演算回路 106 は、デジタル信号 S109 とクロック信号 S102 とを入力して、デジタル信号 S109 を二値化するための基準値である閾値 S106a と、ラッチ回路 108 で二値化信号 S110 をラッチするための同期化クロック S106b とを出力する。なお、その詳細については後述する。

【0026】

比較回路 107 は、デジタル信号 S109 と閾値 S106a とを入力し、クロック信号 S102 に同期して、閾値 S106a に対してデジタル信号 S109 が大きい小さいかの比較を行なう。たとえば閾値 S106a よりもデジタル信号 S109 の方が大きければ“1”を、逆に小さければ“0”を二値化信号 S110 として出力する。

ラッチ回路 108 は、二値化信号 S110 を D 入力とし、同期化クロック S106b をクロック入力として、同期化信号出力である同期化信号 S103 を出力する。

【0027】

以下に、演算回路 106 が閾値 S106a、及び同期化クロック S106b を出力する動作について、図 3 ないし図 10 のフローチャートを用いて説明する。

図 3 は、本発明の実施の形態 1 による演算回路の動作を示すフローチャートである。

まず、閾値検出ブロック 200 は、閾値 S106a を検出し（ステップ 300）、立ち上がり検出ブロック 201、立ち下がり検出ブロック 202、及び比較

回路 107 に出力する（ステップ 301）。なお、閾値検出方法については後述する。

【0028】

次に、立ち上がり検出ブロック 201 は、アナログ信号 S101 が閾値 S106a よりも高くなる時刻である立ち上がり時刻 Rise (j) を検出し（ステップ 302）、入力レート検出ブロック 203、及び同期化クロック出力ブロック 204 に出力する（ステップ 303）。同様に、立ち下がり検出ブロック 202 は、アナログ信号 S101 が閾値 S106a よりも低くなる時刻である立ち下がり時刻 Fall (j) を検出し、入力レート検出ブロック 203、及び同期化クロック出力ブロック 204 に出力する。なお、“j” は引数でありそれぞれの時刻を検出した順序を示す。また、立ち上がり時刻検出方法、及び立ち下がり時刻検出方法については後述する。

【0029】

次に、入力レート検出ブロック 203 は、立ち上がり時刻 Rise (j)、及び立ち下がり時刻 Fall (j) に基づいて、デジタル信号 S109 のレート Rate を検出し（ステップ 304）、同期化クロック出力ブロック 204 に出力する（ステップ 305）。なお、入力レート検出方法については後述する。

そして、同期化クロック出力ブロック 204 は、同期化クロック s106b を出力する（ステップ 306）。なお、同期化クロック出力方法については後述する。

【0030】

図 4 は、本発明の実施の形態 1 による閾値検出方法を示すフローチャートである。

まず、任意の時点で A/D コンバータ 出力であるデジタル信号 S109 を 0 番目のデータ A_0 として受け付け、これを初期値とし（ステップ 400）、このデータ A_0 を演算回路 106 の内部レジスタである A_{max} と A_{min} とにそれぞれ入力し、内部ポインタ i に “1” を入力するとともに、繰り返し数 N を与える（ステップ 401）。なお、繰り返し数 N はデジタル信号 S109 の個数を示し、その数が多いほど閾値 S106a の精度が向上する。

【0031】

次に、内部ポインタ i が指している順にデジタル信号 $S109$ の受け付けを行ない、受け付けたデータ A_i が内部レジスタ A_{max} のデータよりも大きい小さいかの比較を行なう（ステップ402）。このときデータ A_i が内部レジスタ A_{max} のデータよりも大きければ、内部レジスタ A_{max} のデータをデータ A_i に置き換える（ステップ403）。逆に、データ A_i が内部レジスタ A_{max} のデータよりも小さければ、データ A_i が内部レジスタ A_{min} のデータよりも大きい小さいかの比較を行なう（ステップ404）。このときデータ A_i が内部レジスタ A_{min} のデータよりも小さければ、内部レジスタ A_{min} のデータをデータ A_i に置き換える（ステップ405）。

【0032】

その後、内部ポインタ i をインクリメントし（ステップ406）、内部ポインタ i の値が繰り返し数 N と等しいか否かのチェックを行なう（ステップ407）。このとき内部ポインタ i の値と繰り返し数 N とが等しくなければ、すなわち内部ポインタ i の値が繰り返し数 N より小さければ、次のデジタル信号 $S109$ を受け付けるべくステップ402に移行し、等しければ内部レジスタ A_{max} のデータと内部レジスタ A_{min} のデータとの平均値を閾値 $S106a$ として出力する（ステップ408）。

【0033】

図5は、本発明の実施の形態1による立ち上がり時刻検出方法を示すフローチャートである。

まず、内部ポインタ i に“2”を入力し、さらに内部ポインタ j をクリアする。そして、任意の時点で受け付けたデジタル信号 $S109$ をデータ A_0 とし、データ A_0 の次に受け付けたデジタル信号 $S109$ をデータ A_1 とし、さらに繰り返し数 M の入力を受け付ける（ステップ500）。

【0034】

さらに、デジタル信号 $S109$ を受け付ける（ステップ501）。ここでステップ501が初めて実行される場合には、内部ポインタ i はすでに“2”が設定されているから、このとき受け付けたデジタル信号 $S109$ はデータ A_2 となる

【0035】

次に、データ A_{i-1} の値が閾値 $S106a$ よりも小さく、かつデータ A_i の値が閾値 $S106a$ よりも大きいかどうかを判別する（ステップ502）。このときデータ A_{i-1} の値が閾値 $S106a$ よりも大きいか、データ A_i の値が閾値 $S106a$ よりも小さければ、内部ポインタ i をインクリメントして、ステップ501を実行する（ステップ503）。また、データ A_{i-1} の値が閾値 $S106a$ よりも小さく、かつデータ A_i の値が閾値 $S106a$ よりも大きければ、アナログ信号 $S101$ は閾値 $S106a$ と交差して立ち上がり時刻を発生させているので、 j 番目の立ち上がり時刻 $Rise(j)$ を出力する（ステップ504）。なお、この演算の詳細については後述する。

【0036】

次に、内部ポインタ j をインクリメントし（ステップ505）、立ち上がり時刻 $Rise(j)$ を M 個検出したかどうかを監視する（ステップ506）。このとき、 M 個検出している場合には完了となるが、そうでなければステップ501に戻り、立ち上がり時刻を M 個検出するまで上述の処理を繰り返す。

【0037】

図6は、本発明の実施の形態1による立ち上がり時刻検出方法を説明するためのタイミング図である。

時刻 T_{i-1} において、A/Dコンバータ105の出力であるデジタル信号 $S109$ のデータ A_{i-1} を受付けており、この値は閾値 $S106a$ を下回っている。また、時刻 T_i においては、デジタル信号 $S109$ のデータ A_i を受付けている。このデータ A_i は、閾値 $S106a$ を上回っている。したがって時刻 T_{i-1} と時刻 T_i との間において、アナログ信号 $S101$ は閾値 $S106a$ と交差している。

【0038】

一点鎖線600はその2点のデータにより直線近似された直線を示している。アナログ信号 $S101$ が閾値 $S106a$ と交差した時刻は、一点鎖線600と閾値 $S106a$ とが交差した時刻であると近似すれば、時刻 T_{i-1} から時間 x_{i-1} が経過した時刻ということになる。つまり、一点鎖線600は交差時刻近似直線で

あり、 x_{i-1} は立ち上がり交差時刻補正時間である。

【0039】

ここで、一点鎖線600の時間軸の原点をデータ A_{i-1} が入力された時点とし、時間軸のパラメータを x 、入力信号の振幅軸を y とすれば、

$$y = A_{i-1} + (A_i - A_{i-1}) x$$

となり、一点鎖線600が閾値 $S106a$ と交差する時刻 x_{i-1} は、閾値を THR とすると、

$$THR = A_{i-1} + (A_i - A_{i-1}) x_{i-1}$$

で与えられる。

【0040】

したがって、この一次方程式を計算して x_{i-1} を求めれば、

$$x_{i-1} = (THR - A_{i-1}) / (A_i - A_{i-1})$$

となる。この x_{i-1} は立ち上がり時刻 $Rise(j)$ の小数部に該当するものとなるから、ステップ504で求める立ち上がり時刻 $Rise(j)$ は、

$$Rise(j) = i - 1 + x_{i-1}$$

となる。

【0041】

図7は、本発明の実施の形態1による立ち下がり時刻検出方法を示すフローチャートである。

図7において、図5と同符号のものは、図5のものに対応する。

図7のフローチャートで示される立ち下がり時刻検出方法は、ステップ702が立ち下がったかどうかを検出するものであるので、ステップ502とは判別条件が逆になり、データ A_{i-1} の値が閾値 $S106a$ よりも大きく、かつデータ A_i の値が閾値 $S106a$ よりも小さいかどうかを判別する点、及びステップ704での演算結果が $Fail(j)$ として出力される点が、それぞれ上述の立ち上がり時刻検出方法の、ステップ502、及びステップ504とは異なる。

【0042】

以上に説明した処理により検出される立ち上がり時刻、及び立ち下がり時刻に基づいて、アナログ信号の入力レートを検出することができる。つまり、ある立

ち上がり時刻 *R i s e* (*j*) からその次に発生する立ち下がり時刻 *F a l l* (*j*) までの時間を求めれば、その時間は必ず入力レートの倍数になるので、複数個の立ち上がり時刻と立ち下がり時刻との差分値を求め、その最小値を入力レートとすればよい。

【 0 0 4 3 】

図 8 は、本発明の実施の形態 1 による入力レート検出方法を示すフローチャートである。

まず、内部レジスタ *R a t e* に初期値を入力し、内部ポインタ *j* に初期値 “ 1 ” を入力し、繰り返し数 *M* を設定する (ステップ 8 0 0) 。ここで *M* は、ステップ 3 0 2 で得られた複数個の立ち上がり時刻 *R i s e* 、及び立ち下がり時刻 *F a l l* のデータの個数を意味する。

【 0 0 4 4 】

次に、立ち上がり時刻 *R i s e* (*j*) と立ち下がり時刻 *F a l l* (*j*) との時間間隔を演算し、その結果を内部レジスタ *T e m p* に保持させる (ステップ 8 0 1) 。内部レジスタ *T e m p* は、演算の便宜のために用意される引数に対応する立ち上がり時刻 *R i s e* (*j*) 、及び立ち下がり時刻 *F a l l* (*j*) の差分値を待避させる待避レジスタである。

【 0 0 4 5 】

次に、内部レジスタ *R a t e* の値と、内部レジスタ *T e m p* の値との大小比較を行なう (ステップ 8 0 2) 。このとき内部レジスタ *T e m p* の値の方が内部レジスタ *R a t e* の値より小さければ、内部レジスタ *T e m p* の値を内部レジスタ *R a t e* に入力して値の入れ替えを行なう (ステップ 8 0 3) 。また、内部レジスタ *T e m p* の値の方が内部レジスタ *R a t e* の値より大きければ、内部ポインタ *j* をインクリメントし、再びステップ 8 0 1 を実行する。

【 0 0 4 6 】

そして、内部ポインタ *j* の値が繰り返し数 *M* の値と等しいとき、すなわち規定回数の処理が完了した場合には完了となり、このときの内部レジスタ *R a t e* の値を入力レートとし、規定回数の処理が完了していない場合にはステップ 8 0 4 を実行する (ステップ 8 0 5) 。

【0047】

図9は、本発明の実施の形態1による同期化クロック出力方法を示すフローチャートである。

まず、ステップ300で検出された閾値 $S106a$ と、ステップ305で検出された入力レート $Rate$ とを受け付け、さらに内部ポインタ i をクリアする（ステップ900）。

【0048】

次に、内部ポインタ i が指している順にデジタル信号 $S109$ の受け付けを行ない、受け付けたデータ A_i と閾値 $S106a$ との差と、前回受け付けたデータ A_{i-1} と閾値 $S106a$ との差、との積をとり（ステップ902）、その値が0以上であれば、内部ポインタ i をインクリメントし（ステップ903）、逆にその値が0未満であれば、ステップ504、及びステップ704と同様の原理により、 X_i 、及び閾値 $S106a$ と交差する時刻であるエッジ時刻 $Edge(j)$ を演算する（ステップ904）。これにより得られた $Edge(i)$ は整数部 i と、小数部 X_i とに分かれ、 $Rate/2$ も整数部 r と、小数部 r_i とに分かれる。そして、 $Edge(i)$ と $Rate/2$ とを加算し、その結果、整数部 Sam と小数部 Xs とを得る（ステップ905）。このステップでの演算により、信号のエッジがきてから、第1番目の同期化クロック $S106b$ は入力レート $Rate$ の半分のタイミング、すなわち入力信号の1レートに対して真中のタイミングとなる。

【0049】

次に、同期化クロック $S106b$ を発生させるべき Sam 番目のデータ $Asam$ が入力されるのを監視し（ステップ906）、データ $Asam$ が入力されたのが検出された場合に、同期化クロック $S106b$ を一回発生させる（ステップ907）。

そして、第2番目以降の同期化クロックタイミング値の演算を行う（ステップ908）。このステップにおいては、すでにステップ905において第1の同期化クロックを発生する際に、入力レートの真中で同期化クロックを発生させるタイミングである $Sam + Xs$ を演算しているから、単に内部レジスタ $Rate$ の

値を加算すれば第 2 番目以降のクロックは、入力レートの真中で発生させることができる。

【0050】

以降、上記の処理を繰り返し、同期化クロックを出力していく。

このような本実施の形態 1 によるクロック生成装置、及びクロック生成方法では、入力されるアナログ信号を A/D 変換したデジタル信号から入力レートを検出し、これに基づいて同期化クロックを生成するようにしているので、二値化信号をラッチする際に、同期化クロックと二値化信号との位相誤差を同期化クロックの 1 クロック分以内に収めることができる。また、入力されるアナログ信号が複数種類の入力レートを持つ場合でも、供給するクロックは 1 種類のみで回路を動作させることができる。

【0051】

さらに、本実施の形態 1 によるクロック生成装置は、通常半導体集積回路で実現されるが、この場合、その特性を向上させるために、供給されるクロックの周波数を高くする必要がないことにより、半導体集積回路から発生する不要輻射が増大するという問題や、消費電力が増大するという問題が生じることはない。

【0052】

(実施の形態 2)

図 10 は、本実施の形態 2 によるクロック生成装置の演算回路のブロック図である。

本実施の形態 2 によるクロック生成装置は、図 1 に示される上記実施の形態 1 によるクロック生成装置の演算回路 106 が、図 10 に示されるものとしたものであり、その他の構成は上記実施の形態 1 によるクロック生成装置におけるものと同様である。

【0053】

図 10 に示されるように、演算回路 106 は、閾値 S106a を検出する閾値検出ブロック 1000、アナログ信号 S101 が閾値 S106a よりも高くなる時刻である立ち上がり時刻を検出する立ち上がり検出ブロック 201、アナログ信号 S101 が閾値 S106a よりも低くなる時刻である立ち下がり時刻を検出

する立ち下がり検出ブロック 202、立ち上がり時刻と立ち下がり時刻とを用いてデジタル信号 S109 のレートを検出する入力レート検出ブロック 203、及び同期化クロック S106b を出力する同期化クロック出力ブロック 204 から構成される。

【0054】

以下に、動作について説明する。

なお、立ち上がり検出ブロック 201、立ち下がり検出ブロック 202、入力レート検出ブロック 203、及び同期化クロック出力ブロック 204 の動作については、上記実施の形態 1 と同様であり、ここではその説明を省略し、以下に、閾値検出ブロック 1000 が閾値 S106a を検出する動作について、図 11 を用いて説明する。

【0055】

図 11 は、本実施の形態 2 による閾値検出方法を示すフローチャートである。

まず、演算回路 106 の内部レジスタ Acc、及び内部ポインタ i を各々クリアし、繰返し数 N を受け付ける（ステップ 1100）。なお、繰返し数 N はデジタル信号 S109 の個数を示し、その数が大きいほど閾値 S106a の精度が向上する。

【0056】

次に、デジタル信号 S109 を受け付けるとともに、内部ポインタ i の値が繰返し数 N より大きいか否かを監視する（ステップ 1101）。このとき内部ポインタ i の値が繰返し数 N よりも小さければ、ステップ 1101 で受付けたデータ A_i を次々と内部レジスタ Acc に加算し、さらに内部ポインタ i をインクリメントする（ステップ 1102）。これにより、内部レジスタ Acc には、デジタル信号 S109 のデータ A_i の $i=0$ 、すなわち 0 番目のデータから、 $i=N$ 、すなわち N 番目までの $N+1$ 個のデジタル信号 S109 のデータ A_i の積分値が内部レジスタ Acc に蓄積されることになる。また、内部ポインタ i の値が繰返し数 N よりも大きければ、内部レジスタ Acc の値を、積分したデータ数、すなわち $N+1$ で割り算を行ない、その値を閾値 S106a として出力する（ステップ 1103）。

【0057】

このような本実施の形態2によるクロック生成装置、及びクロック生成方法では、デジタル信号の積分値の平均値を閾値としたことにより、上記実施の形態1によるクロック生成装置、及びクロック生成方法における効果に加えて、閾値を検出する際にノイズ等の影響を受けにくくなり、より正確な閾値を検出することができる効果が得られる。

【0058】

(実施の形態3)

図12は、本発明の実施の形態3によるクロック生成装置のブロック図であり、図において、図1と同様の構成には同じ参照符号を付与し、ここではその説明を省略する。

本実施の形態3によるクロック生成装置は、上記実施の形態1によるクロック生成装置のA/Dコンバータ105の後段に、オーバーサンプリングデジタルフィルタ1201を備えたものである。

オーバーサンプリングデジタルフィルタ1201は、入力される信号に対して任意の周波数特性を与え、かつオーバーサンプリングを行ない、比較回路107に出力する。

【0059】

このような本実施の形態3によるクロック生成装置、及びクロック生成方法では、オーバーサンプリングデジタルフィルタがデジタル信号に対して任意の周波数特性を与えることにより、ノイズなどの不要な信号を除去することができ、さらにオーバーサンプリングを行なうことによってサンプルデータの数も増えることとなり、デジタル信号の時間分解能を高くすることができる。

【0060】

なお、本実施の形態3によるクロック生成装置は、上記実施の形態1によるクロック生成装置のA/Dコンバータの後段にオーバーサンプリングデジタルフィルタを備えるものとしたが、これは、上記実施の形態2によるクロック生成装置のA/Dコンバータの後段に備えるものとしてもよい。

【0061】

また、上記実施の形態 1 ないし 3 では、本発明によるクロック生成装置、及びクロック生成方法を、帰線期間に VBI データが重畳されているテレビ信号を入力する場合を例に示したが、これに限られるものではなく、CD (Compact Disk) や MD (Mini Disk) 等の再生信号を入力するようにしてもよい。

【0062】

【発明の効果】

以上のように、本発明の請求項 1 に係るクロック生成装置によれば、入力したアナログ信号をデジタル信号に変換する A/D 変換手段と、デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算手段と、デジタル信号が閾値よりも大きいか小さいかを比較し、二値化信号を出力する二値化手段と、同期化クロックで二値化信号をラッチするラッチ手段とを備えたものとしたので、入力されるアナログ信号を A/D 変換したデジタル信号に基づいて同期化クロックを生成することにより、二値化信号をラッチする際に、同期化クロックと二値化信号との位相誤差を同期化クロックの 1 クロック分以内に収めることができ、さらに、入力されるアナログ信号が複数種類の入力レートを持つ場合でも、供給するクロックは 1 種類のみで回路を動作させることができるという効果がある。

【0063】

本発明の請求項 2 に係るクロック生成装置によれば、請求項 1 に記載のクロック生成装置において、演算手段が、所定の期間内におけるデジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を閾値として出力する閾値検出手段と、アナログ信号が閾値よりも高くなる時刻である立ち上がり時刻を、デジタル信号を用いて検出する立ち上がり時刻検出手段と、アナログ信号が閾値よりも低くなる時刻である立ち下がり時刻を、デジタル信号を用いて検出する立ち下がり時刻検出手段と、隣接する立ち上がり時刻と立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、入力レートに基づいて、同期化クロックを出力する同期化クロック出力手段とを備えたものとしたので、入力されるアナログ信号を A/D 変換したデジタル信号から入力レートを検出し、これに基づいて同期化クロックを生成することにより、二値化信号をラッチする際に、同期化クロックと二値化信号と

の位相誤差を同期化クロックの 1 クロック分以内に収めることができ、さらに、入力されるアナログ信号が複数種類の入力レートを持つ場合でも、供給するクロックは 1 種類のみで回路を動作させることができるという効果がある。

【 0 0 6 4 】

本発明の請求項 3 に係るクロック生成装置によれば、請求項 1 に記載のクロック生成装置において、演算手段が、所定の期間内におけるデジタル信号の積分値を検出し、該積分値の平均値を閾値として出力する閾値検出手段と、アナログ信号が閾値よりも高くなる時刻である立ち上がり時刻を、デジタル信号を用いて検出する立ち上がり時刻検出手段と、アナログ信号が閾値よりも低くなる時刻である立ち下がり時刻を、デジタル信号を用いて検出する立ち下がり時刻検出手段と、隣接する立ち上がり時刻と立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出手段と、入力レートに基づいて、同期化クロックを出力する同期化クロック出力手段とを備えたものとしたので、請求項 2 に記載のクロック生成装置における効果に加えて、閾値を検出する際にノイズ等の影響を受けにくくなり、より正確な閾値を検出することができるという効果がある。

【 0 0 6 5 】

本発明の請求項 4 に係るクロック生成装置によれば、請求項 1 ないし 3 のいずれかに記載のクロック生成装置において、隣接するデジタル信号を補間するオーバーサンプリングデジタルフィルタを備えたものとしたので、デジタル信号に対して任意の周波数特性を与えることにより、ノイズなどの不要な信号を除去することができ、さらにオーバーサンプリングを行なうことによってサンプルデータの数も増えることとなり、デジタル信号の時間分解能を高くすることができるという効果がある。

【 0 0 6 6 】

本発明の請求項 5 に係るクロック生成方法によれば、入力したアナログ信号をデジタル信号に変換する A/D 変換ステップと、デジタル信号に基づいて、同期化クロック、及び閾値を生成する演算ステップと、デジタル信号が閾値よりも大きい小さいかを比較し、二値化信号を出力する二値化ステップと、同期化クロ

ックで二値化信号をラッチするラッチステップとを備えたものとしたので、入力されるアナログ信号をA/D変換したデジタル信号に基づいて同期化クロックを生成することにより、二値化信号をラッチする際に、同期化クロックと二値化信号との位相誤差を同期化クロックの1クロック分以内に収めることができ、さらに、入力されるアナログ信号が複数種類の入力レートを持つ場合でも、供給するクロックは1種類のみで回路を動作させることができるという効果がある。

【0067】

本発明の請求項6に係るクロック生成方法によれば、請求項5に記載のクロック生成方法において、演算ステップが、所定の期間内におけるデジタル信号の最大値及び最小値を検出し、該最大値及び該最小値の平均値を閾値として出力する閾値検出ステップと、アナログ信号が閾値よりも高くなる時刻である立ち上がり時刻を、デジタル信号を用いて検出する立ち上がり時刻検出ステップと、アナログ信号が閾値よりも低くなる時刻である立ち下がり時刻を、デジタル信号を用いて検出する立ち下がり時刻検出ステップと、隣接する立ち上がり時刻と立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、入力レートに基づいて、同期化クロックを出力する同期化クロック出力ステップとを備えたものとしたので、入力されるアナログ信号をA/D変換したデジタル信号から入力レートを検出し、これに基づいて同期化クロックを生成することにより、二値化信号をラッチする際に、同期化クロックと二値化信号との位相誤差を同期化クロックの1クロック分以内に収めることができ、さらに、入力されるアナログ信号が複数種類の入力レートを持つ場合でも、供給するクロックは1種類のみで回路を動作させることができるという効果がある。

【0068】

本発明の請求項7に係るクロック生成方法によれば、請求項5に記載のクロック生成方法において、演算ステップが、所定の期間内におけるデジタル信号の積分値を検出し、該積分値の平均値を閾値として出力する閾値検出ステップと、アナログ信号が閾値よりも高くなる時刻である立ち上がり時刻を、デジタル信号を用いて検出する立ち上がり時刻検出ステップと、アナログ信号が閾値よりも低く

なる時刻である立ち下がり時刻を、デジタル信号を用いて検出する立ち下がり時刻検出ステップと、隣接する立ち上がり時刻と立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとして出力する入力レート検出ステップと、入力レートに基づいて、同期化クロックを出力する同期化クロック出力ステップとを備えたものとしたので、請求項 6 に記載のクロック生成装置における効果に加え、閾値を検出する際にノイズ等の影響を受けにくくなり、より正確な閾値を検出することができるという効果がある。

【0069】

本発明の請求項 8 に係るクロック生成方法によれば、請求項 5 ないし 7 のいずれかに記載のクロック生成方法において、隣接するデジタル信号を補間するオーバーサンプリングステップを備えたものとしたので、デジタル信号に対して任意の周波数特性を与えることにより、ノイズなどの不要な信号を除去することができ、さらにオーバーサンプリングを行なうことによってサンプルデータの数も増えることとなり、デジタル信号の時間分解能を高くすることができるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 によるクロック生成装置のブロック図である。

【図 2】

本発明の実施の形態 1 によるクロック生成装置の演算回路のブロック図である。

【図 3】

本発明の実施の形態 1 による演算回路の動作を示すフローチャートである。

【図 4】

本発明の実施の形態 1 による閾値検出方法を示すフローチャートである。

【図 5】

本発明の実施の形態 1 による立ち上がり時刻検出方法を示すフローチャートである。

【図 6】

本発明の実施の形態 1 による立ち上がり時刻検出方法を説明するためのタイミング図である。

【図 7】

本発明の実施の形態 1 による立ち下がり時刻検出方法を示すフローチャートである。

【図 8】

本発明の実施の形態 1 による入力レート検出方法を示すフローチャートである。

【図 9】

本発明の実施の形態 1 による同期化クロック出力方法を示すフローチャートである。

【図 1 0】

本実施の形態 2 によるクロック生成装置の演算回路のブロック図である。

【図 1 1】

本発明の実施の形態 2 による閾値検出方法を示すフローチャートである。

【図 1 2】

本発明の実施の形態 3 によるクロック生成装置のブロック図である。

【図 1 3】

従来のクロック生成装置のブロック図である。

【符号の説明】

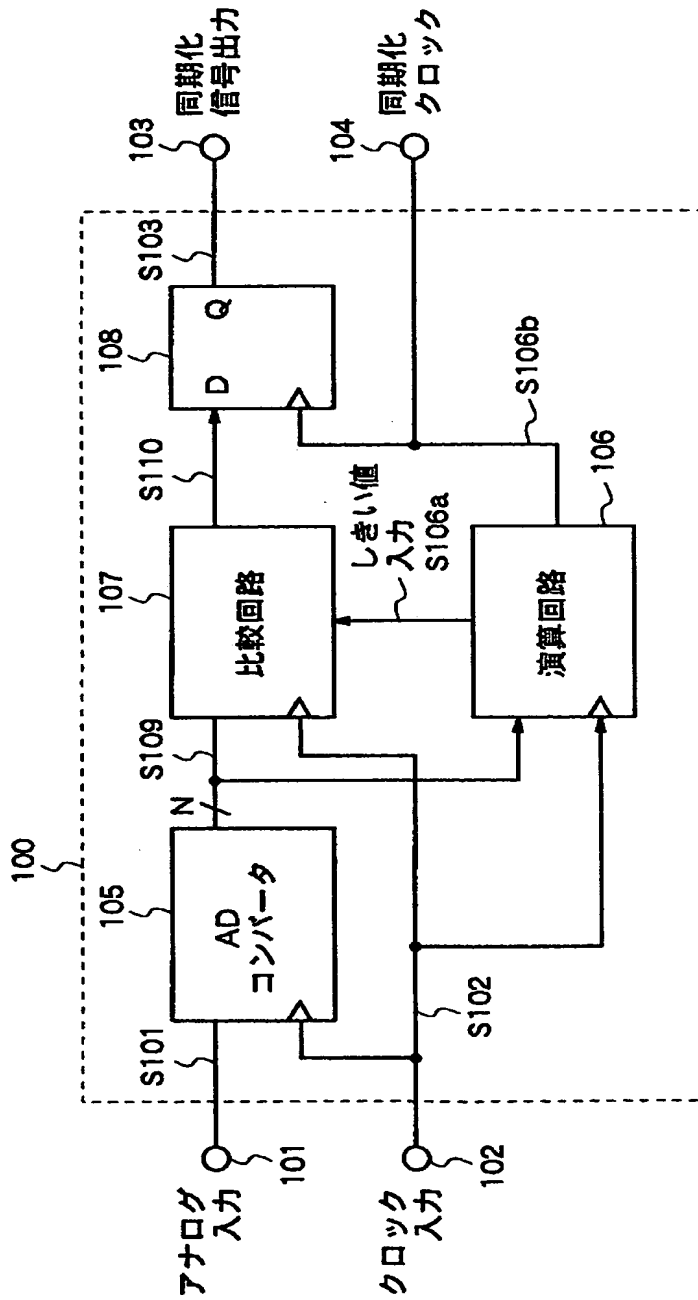
- 1 0 0 クロック生成装置
- 1 0 1 アナログ信号入力端子
- 1 0 2 クロック入力端子
- 1 0 3 同期化信号出力端子
- 1 0 4 同期化クロック出力端子
- 1 0 5 A/Dコンバータ
- 1 0 6 演算回路
- 1 0 7 比較回路
- 1 0 8 ラッチ回路

特平 11-295158

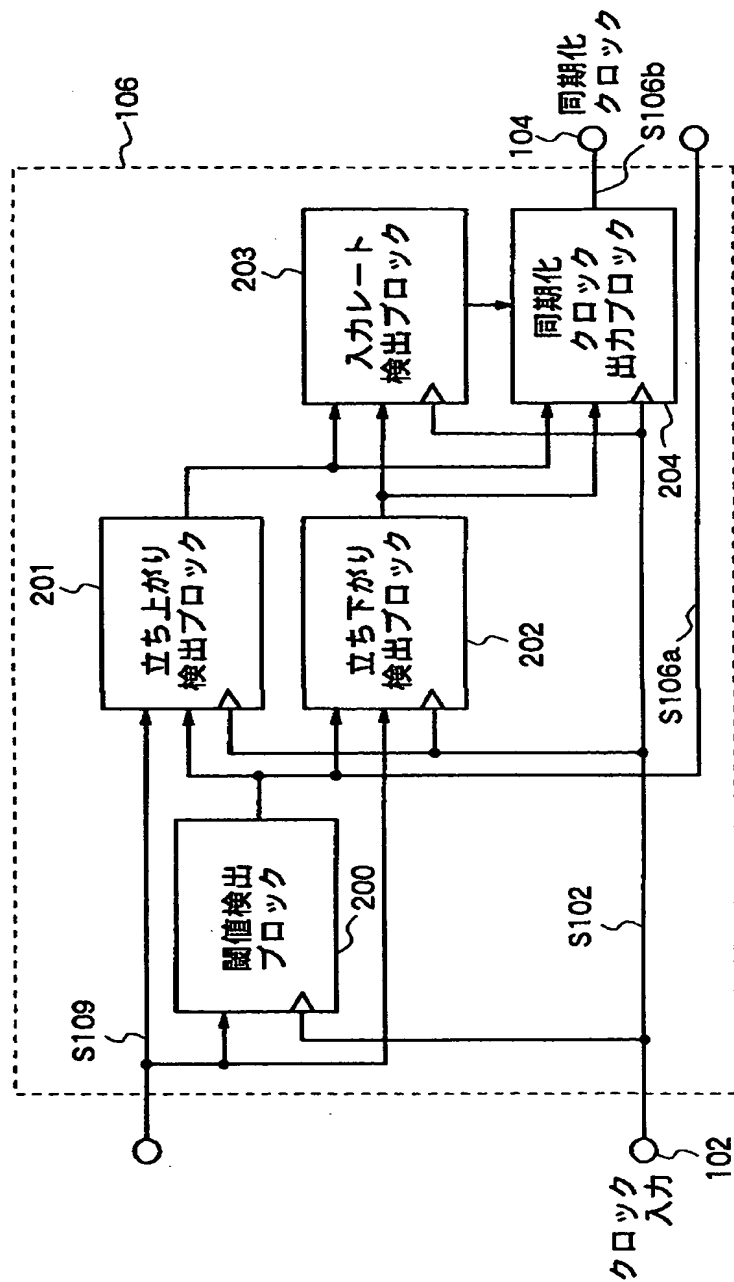
1201 オーバーサンプリングデジタルフィルタ

【書類名】 図面

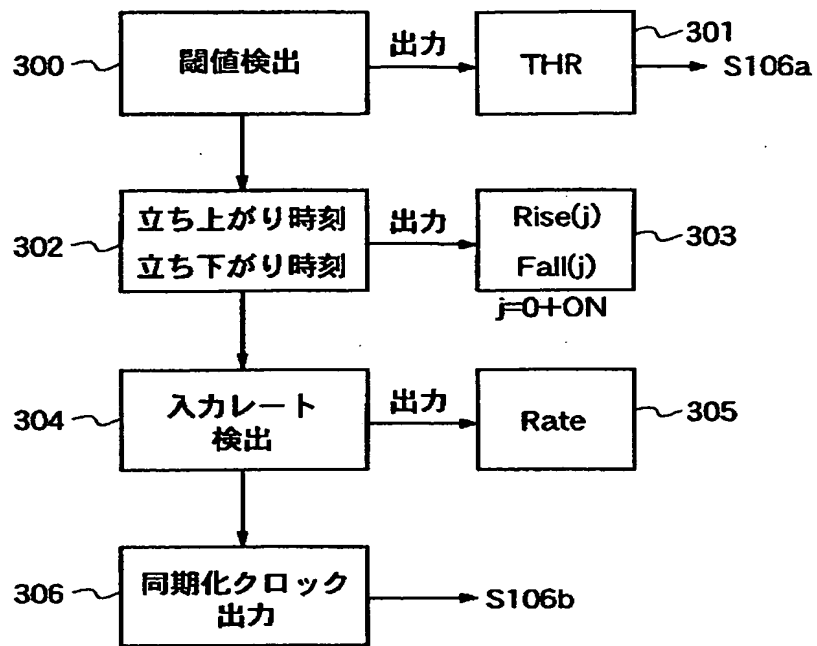
【図 1】



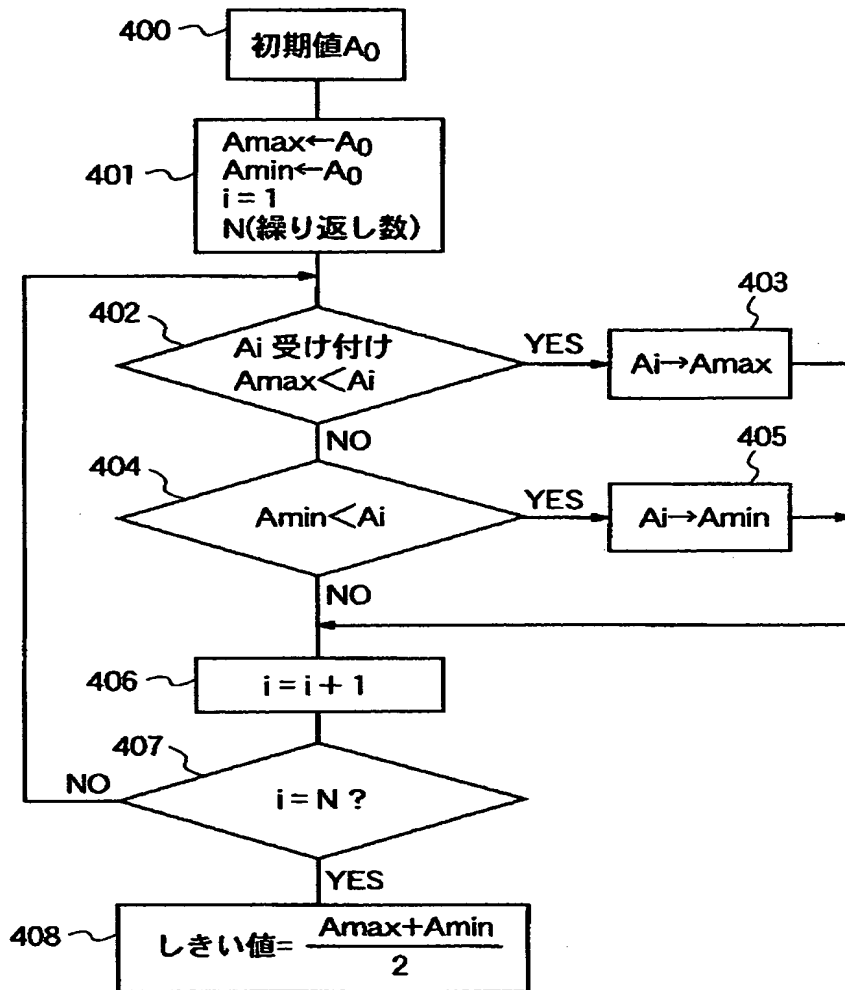
【図 2】



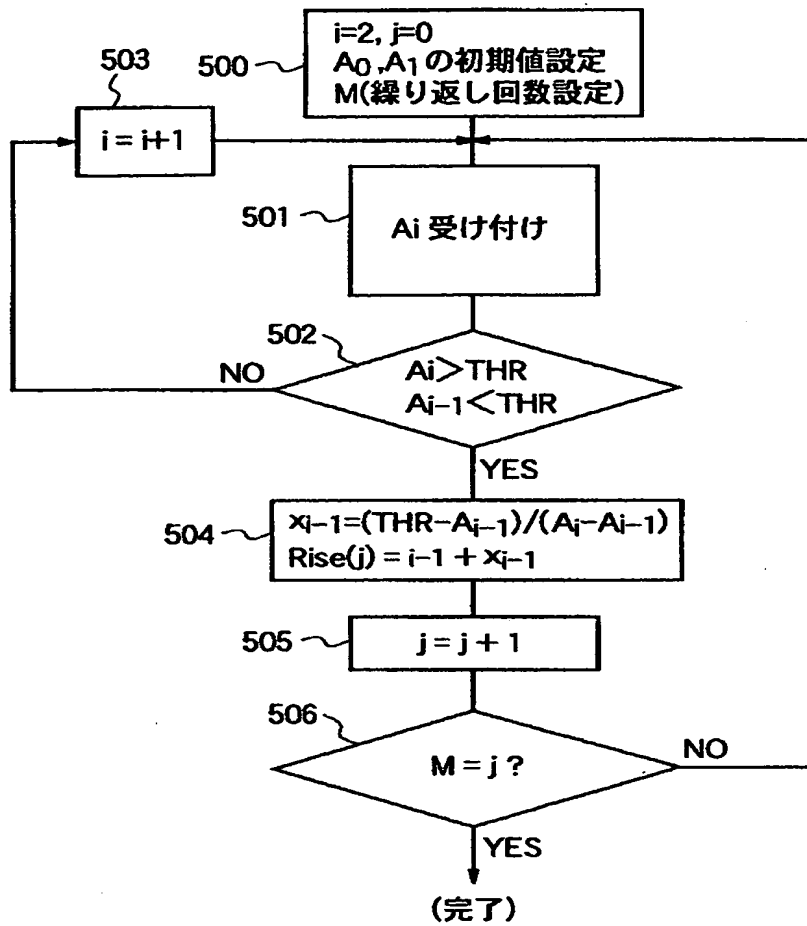
【図 3】



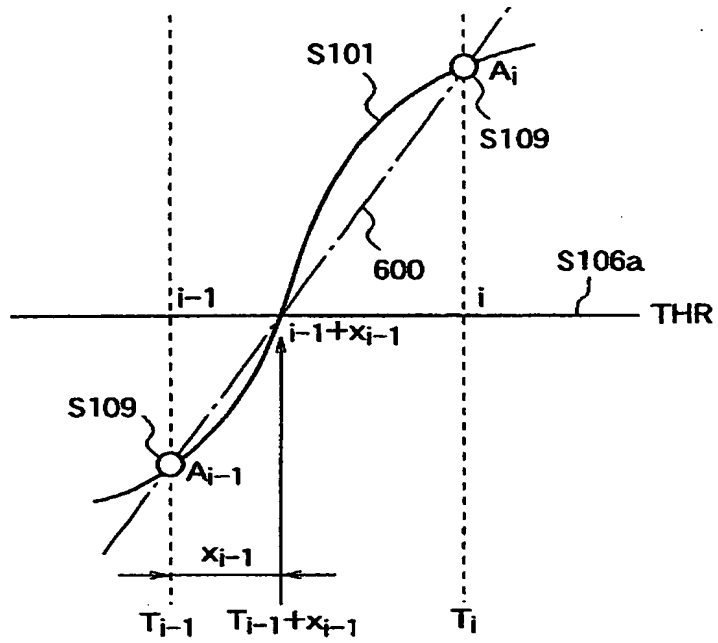
【図 4】



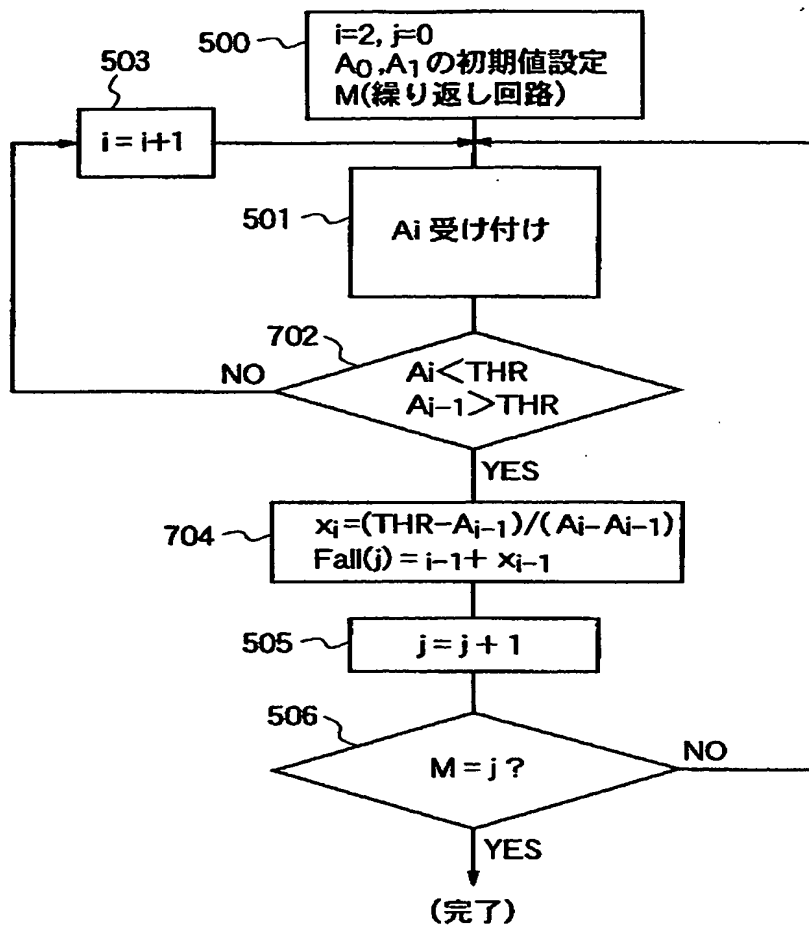
【図 5】



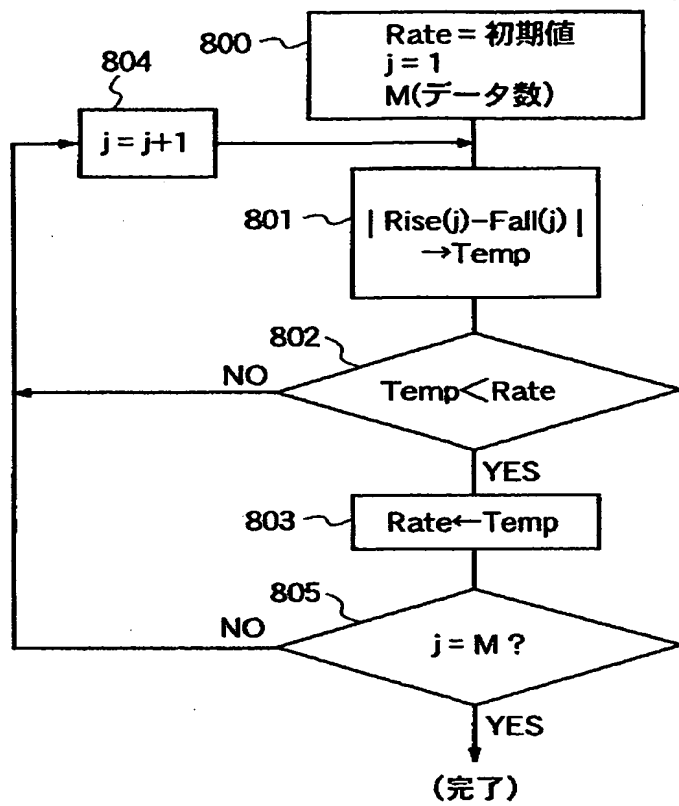
【図 6】



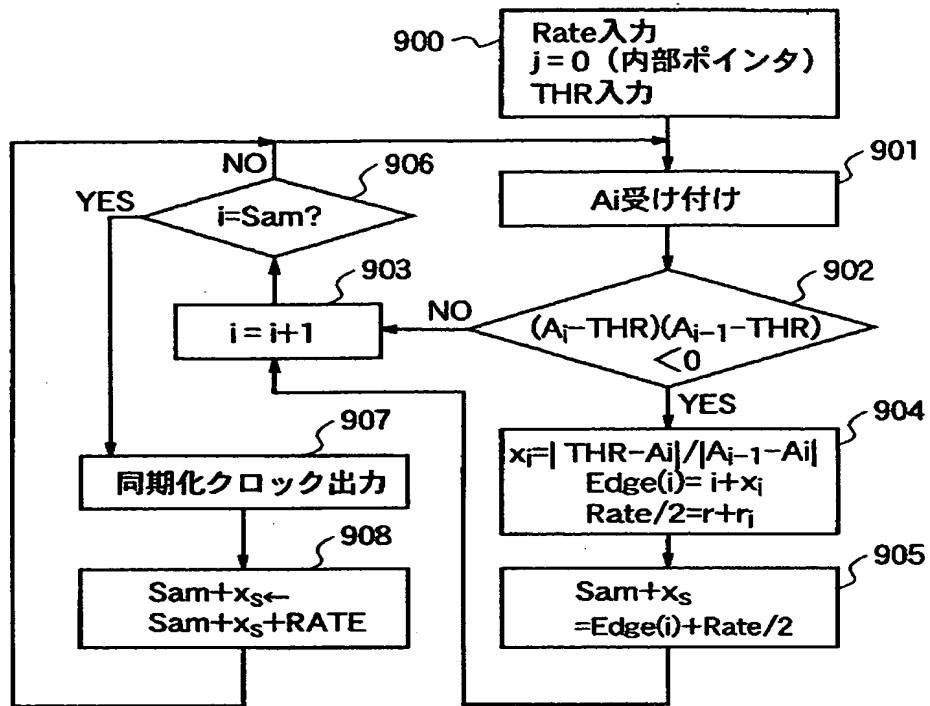
【図 7】



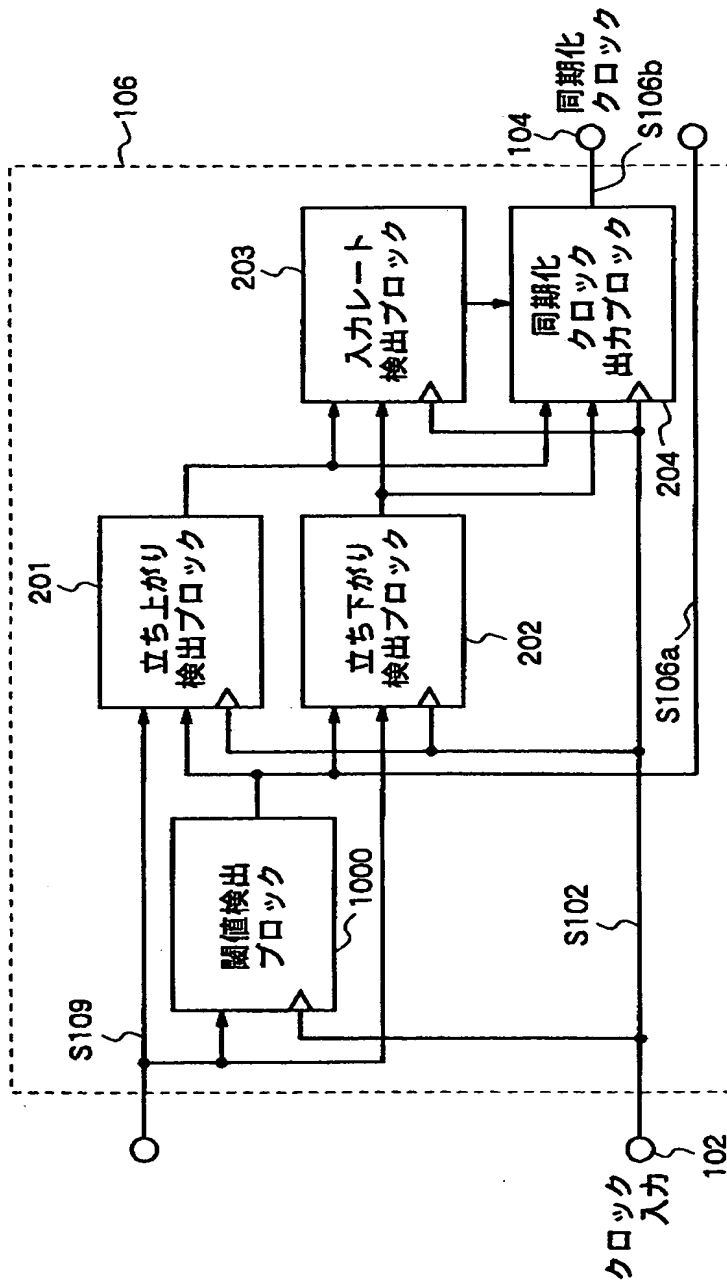
【図 8】



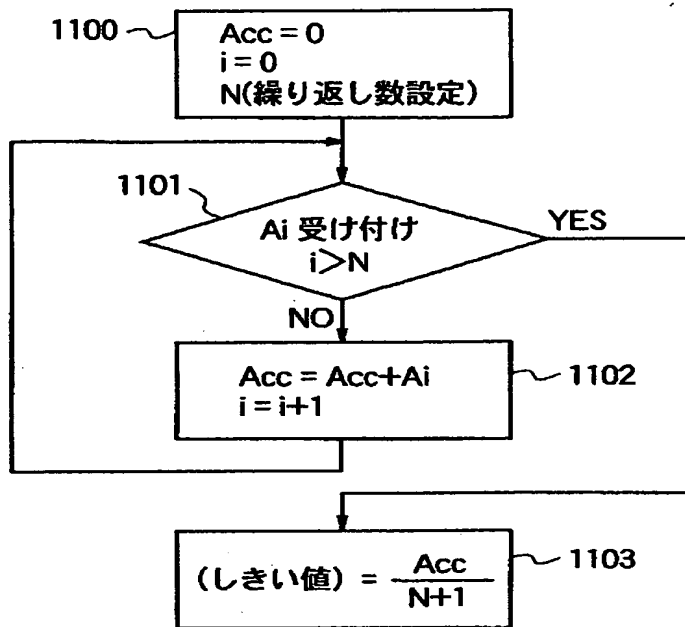
【図 9】



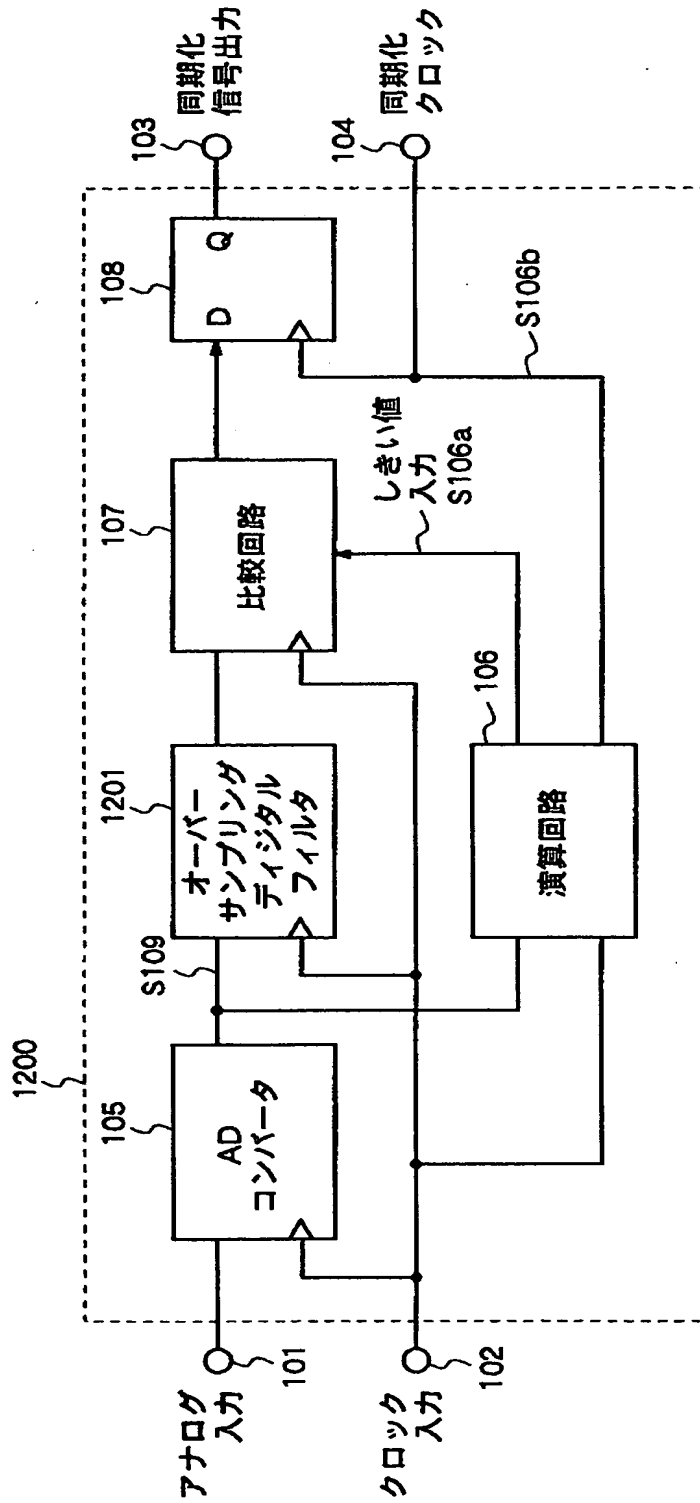
【図 1 0】



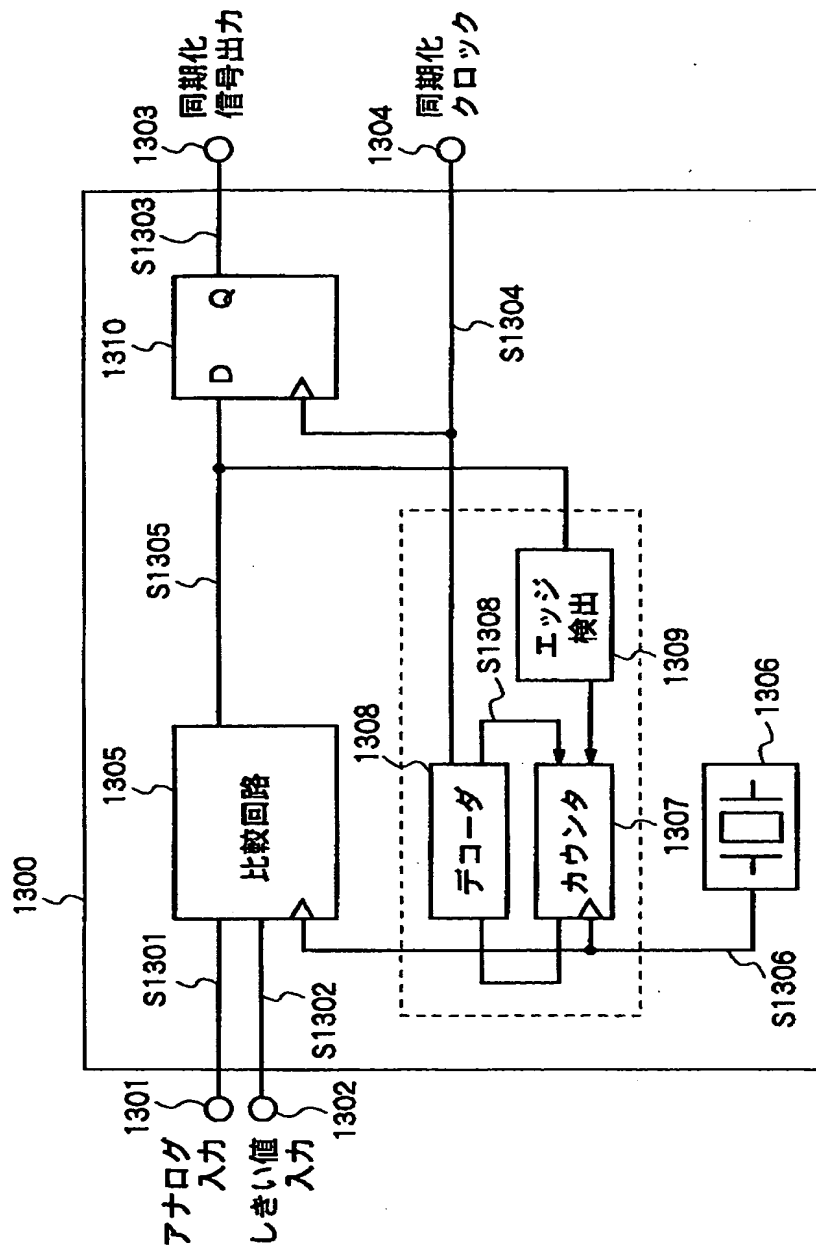
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 入力されるアナログ信号に基づいて、同期化クロックを生成するクロック生成装置、及びクロック生成方法を提供する。

【解決手段】 所定の期間内におけるデジタル信号の最大値及び最小値の平均値を閾値とし、デジタル信号を用いて立ち上がり時刻、及び立ち下がり時刻を検出し、隣接する立ち上がり時刻と立ち下がり時刻との時間間隔を所定の期間求め、該時間間隔の最小値を入力レートとし、入力レートに基づいて、同期化クロックを出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社